

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-136558

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

H04N 5/225

H04N 5/335

(21)Application number : 09-299030

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 30.10.1997

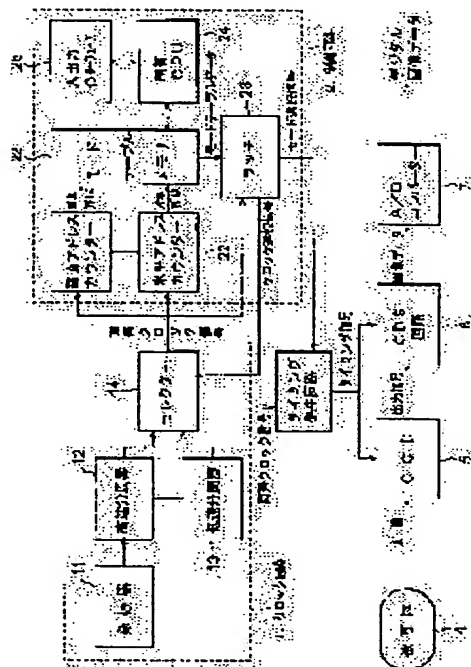
(72)Inventor : MARUNO TADASHI
TORII SADAFUMI

(54) CCD CAMERA

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CCD camera which reads an image at high scanning speed and with a high S/N at the time of binning and which does not require a complicated addition circuit to CCD.

SOLUTION: Control CPU 24 sets a mode table being the image read pattern of respective images, which optimizes the reading of image information from CCD 5 based on a photographing pattern which is set from outside through an input/output interface 25. Then, it is written in a mode table memory 23. A timing generation circuit 3 transmits a timing signal controlling the operation timing of CCD 5 and a CDS circuit 6 being a noise removal circuit based on the mode table data. Therefore, at the time of the binning sub-array operation of CCD 5, image information read speed per apparent pixel is matched with that per pixel at the time of non-binning, and the image is taken in at high speed and with the high S/N.



LEGAL STATUS

[Date of request for examination]

07.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(43)公開日 平成11年(1999)5月21日

審査請求 未請求 請求項の数2 OL (全 9 頁)

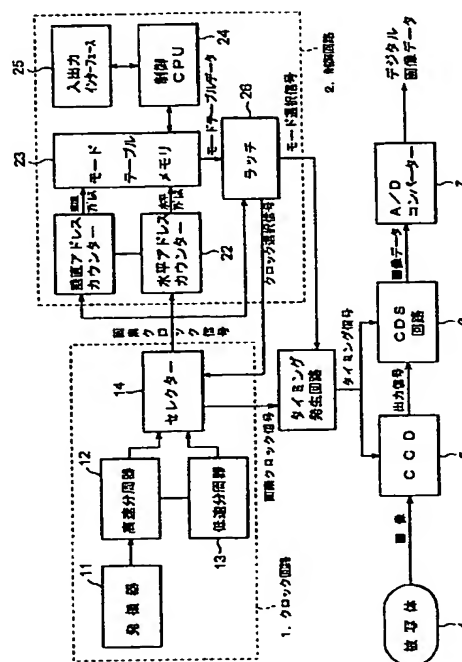
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 CCDカメラ

(57)【要約】

【課題】 ピニング時に高スキャン速度かつ高S/N比で画像を読み出せ、CCDへの複雑な付加回路を必要としないCCDカメラを提供する。

【解決手段】 入出力インターフェース25を介して外部から設定された撮影パターンに基づいて制御CPU24でCCD5からの画像情報読み出しを最適化する各画像の画像読み出しパターンであるモードテーブルを設定し、モードテーブルメモリ23に書き込む。このモードテーブルデータを基にして、タイミング発生回路3は、CCD5及びノイズ除去回路であるCDS回路6の動作タイミングを制御するタイミング信号を送出する。これにより、CCD5のビニング・サブアレイ動作時に見かけの画素あたりの画像情報読み出し速度を非ビニング時の画素あたりのそれとほぼ一致させ、高速かつ高S/N比での画像取込を可能とする。



FP04-0100
- COWE-HP
04. 7. 20
SEARCH REPORT

【特許請求の範囲】

【請求項1】 二次元に撮像素子が配列されており、隣接する複数の画素の蓄積電荷を加算して読み出すビニングと、所定の画素領域の蓄積電荷のみを指定して読み出すサブアレイ機能を備えるCCDカメラにおいて、前記撮像素子ごとの蓄積電荷の転送と消去のタイミングを指示する信号を送出することにより、画素ごとの電荷転送速度を制御するタイミング発生回路と、ビニング及び／又はサブアレイ機能を利用した撮影パターンに応じた各画素からの電荷読み出しパターンを求め、このパターンに応じて前記タイミング発生回路の信号送出パターンを制御する制御回路と、を備えるCCDカメラ。

【請求項2】 蓄積開始前と読み出し直前の電荷量をサンプルホールドして、その差を有効な蓄積電荷量として読み出すノイズ除去回路をさらに備える請求項1記載のCCDカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CCDカメラに関し、特に、高速撮影用のビニング・サブアレイ読み出し機能を有するCCDカメラに関する。

【0002】

【従来の技術】計測用等で用いられるCCDカメラは、高S/N比が必要とされる。しかし、CCD自身に起因する出力ノイズは、読み出し画素速度を速くすると増大するので、高S/N比で読み出すためには、一般に数十kHz～数百kHzの読み出し画素速度が用いられている。このため、CCDカメラが1画面を取得するのに要するスキャン速度自体も遅かった。

【0003】さらに、高S/N比を達成する技術としてビニングがある。これは、隣接する複数の画素の蓄積電荷をCCD内部で加算して一度に読み出すものであり、加算により信号レベルが上がるため、解像度の低下と引き換えに検出感度を向上させ、高S/N比を達成することができる。

【0004】一般的なCCDでは、複数の画素を水平に並べて1ラインを構成し、このラインを垂直に複数並べて2次元の撮像素子を構成している。そして、各ラインの画素の蓄積電荷を1ライン分ずつ1ラインの画素数と同数の電極から構成された水平転送レジスタに転送し、この水平転送レジスタの個々の蓄積電荷を1つずつ読み出す。これを繰り返すことにより、全撮像素子の蓄積電荷を読み出して全画面の情報を得ている。

【0005】従来、ビニングを行う際には、ライン間の電荷加算を水平転送レジスタ上で電荷加算を行うことにより、加算中の水平転送レジスタからの読み出し動作を省略することができるので、水平画素転送期間分だけスキャン速度を向上させることができる。

【0006】さらに、画面全体のうちの一部の画像情報

のみを必要とする場合には、画像情報が不要な画素列からの電荷読み出しである水平転送を行わずにスキップすることにより、高速読み出しを可能としていた。これがサブアレイ読み出し機能である。

【0007】

【発明が解決しようとする課題】このように、従来のCCDでは、ビニング動作時のスキャン速度向上は、水平画素転送の間引きだけであったため、例えば、2×2画素を1画素情報として読み込むビニングを行う場合でも、垂直画素転送に所定の時間が必要なため、スキャン速度は2倍まで向上させることができず、スキャン速度を大幅に向上させることはできなかった。

【0008】水平転送を短縮化するには、複数の水平転送レジスタから同時に読み出しを行う回路を付加する方法があるが、ビニング画素数を可変とする場合には複雑な回路が必要となり好ましくない。

【0009】また、サブアレイ読み出しの場合、水平転送の間引きは行われないため、高速化に限界があった。

【0010】一方、高S/N比のCCDカメラでは、内部で発生する低周波ノイズを除去するため、相関ダブルサンプリング(Correlated Double Sampling: CDS)回路が広く用いられている。このCDS回路のノイズ除去性能は画素単位の読み出し速度に依存する。通常CDS回路のノイズ除去性能は、各画素を1個ずつ読み出すときの読み出し速度で最適化されている。従来のCCDのビニング動作では、みかけの画素の読み出し速度が水平方向のビニング画素数に応じて長くなるため、ノイズ除去性能が劣化するという問題点もあった。

【0011】本発明は、上記の問題点に鑑みて、ビニング時に高スキャン速度かつ高S/N比で画像を読み出し、CCDへの複雑な付加回路を必要としないCCDカメラを提供することを課題とする。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明のCCDカメラは、二次元に撮像素子が配列されており、隣接する複数の画素の蓄積電荷を加算して読み出すビニングと、所定の画素領域の蓄積電荷のみを指定して読み出すサブアレイ機能を備えるCCDカメラであって、撮像素子ごとの蓄積電荷の転送と消去のタイミングを指示する信号を送出することにより、画素ごとの電荷転送速度を制御するタイミング発生回路と、ビニング及び／又はサブアレイ機能を利用した撮影パターンに応じた各画素からの電荷読み出しパターンを求めて、このパターンに応じてタイミング発生回路の信号送出パターンを制御する制御回路と、を備えていることを特徴とする。

【0013】これによれば、ビニング動作時には、画素電荷の加算を高速で行うことにより、見かけの画素の電荷読み出し、すなわち、隣接画素間の蓄積電荷加算と加算電荷の読み出し、を非ビニング動作時の電荷読み出し

10

20

30

40

50

とはほぼ同一の時間で実行する。また、サブアレイ動作時には、画面中の不要画像領域の垂直転送だけでなく、水平転送のスキップが可能となる。これらの転送動作は、制御回路が撮影パターンに応じてタイミング発生回路の信号送出パターンを変更することにより制御するので、サブアレイ機能、ビニング機能を組み合わせた各種の撮影パターンに対応して最適な画像読み出しが行える。

【0014】さらに、蓄積開始前と読み出し直前の電荷量をサンプルホールドして、その差を有効な蓄積電荷量として読み出すノイズ除去回路をさらに備えることが好ましい。

【0015】このノイズ除去回路としてはCDS回路を用いることができる。前述のように、本発明では、見かけの画素の読み出し速度をほぼ一定に保持するので、CSD回路は常に最適なノイズ除去性能を発揮する状態で用いられ、ビニング動作時にも低周波ノイズが抑制される。

【0016】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を説明する。なお、理解を容易にするため、各図面において同一の構成要素には、可能な限り同一の参照番号を付し、重複する説明は省略する。

【0017】図1は、本発明のCCDカメラのブロック図である。このCCDカメラは、カメラ全体の制御の基準となるクロック信号を発生するクロック回路1、カメラの撮影パターンに応じて動作を制御する制御回路2、制御回路2に対応して撮像動作を制御するタイミング信号を送出するタイミング発生回路3、被写体4の画像を撮影するCCD5、CCD5の出力からノイズを除去するCDS回路6及びアナログの画像データ信号をデジタル信号に変換するA/Dコンバータ7からなる。

【0018】このうち、クロック回路1は、基準信号を発生する発振器11と、この基準信号を分周して高速クロック信号を発生する高速分周器12、高速クロック信号をさらに分周して低速クロック信号を発生する低速分周器13、制御回路2からのクロック選択信号に応じて高速クロック信号と低速クロック信号のうちのいずれかを画素クロック信号として出力するセレクター14からなる。

【0019】また、制御回路2は、画素クロック信号を受け取り、制御対象となる画素の垂直、水平のそれぞれの位置を計数する垂直、水平アドレスカウンタ21、22と、各画素の読み出しパターンをそれぞれの画素のアドレスに対応させたモードテーブルとして格納する書き換え可能なモードテーブルメモリ23、読み出しパターンを設定してモードテーブルメモリ23への読み書きを行う制御CPU24、制御CPU24を外部から制御可能な入出力インターフェース25、モードテーブルメモリ23から読み出した制御対象画素のモードテーブルを一時的に格納するラッチ26からなる。ラッチ26

は、このモードテーブルに応じてモード選択信号とクロック選択信号を生成して、タイミング発生回路3とセレクター14にそれぞれ出力する。

【0020】図2は、CCD5の一般的な構成を示す概略図である。なお、ここでは、説明を容易にするため、 4×4 画素として図示している。図2に示されるように、水平方向に4列、垂直方向に4行（ライン）配置された画素のそれぞれに、垂直転送電極V1、V2が接続されており、最下端に水平転送レジスタ52が各画素列に対応して配置され、水平転送電極H1、H2が接続されている。最右端の水平転送電極52には、読み出し回路55が接続されている。この読み出し回路55は、リセットゲート53と、コンデンサ54からなり、読み出した電荷量を電圧値に変換して出力FET56から出力する。

【0021】図3は、CDS回路6の回路図である。このCDS回路6は、二つのコンデンサ C_f 、 C_s とスイッチ S_f 、 S_s 、減算アンプ A_r からなり、サンプルホールドによってCCD5の読み出し回路55に起因するノイズを除去する。

【0022】続いて、本発明の実施形態の動作について説明する。最初に、図2～5を参照してCCD5の蓄積電荷読み出し動作について説明する。図4、図5は、それぞれ垂直、水平の転送動作の説明図である。

【0023】まず、垂直転送動作について説明する。図2に示されるように画素51の各ラインをA～Dとすると、読み出しは、DCBAの順に行われる。ここで、垂直転送電極V1、V2に図4に示されるように位相の反転したクロック信号を加える。時刻T1において各ラインのV2電極下のポテンシャル井戸内に蓄積されていた電荷は、時刻T2では、隣接するラインのV1電極下のポテンシャル井戸に移動する。つまり、ラインAの蓄積電荷はラインBに、ラインBの蓄積電荷はラインCに順送りされ、ラインDの蓄積電荷は、水平転送レジスタ52に送られる。時刻T3では、垂直転送電極V1、V2に加えられるクロック信号は再び反転されて、時刻T1と同一の状態に戻り、各ラインの蓄積電荷は、時刻T1から1ライン分移動する。これを以下、1ラインシフトと称する。これを繰り返すことにより、ラインDCBAの順に蓄積電荷が水平転送レジスタに転送される。

【0024】各画素ごとに蓄積電荷を読み出す通常読み出しでは、転送された電荷をラインごとに読み出す。サブアレイ読み出しにおける不要ラインの場合は、水平転送レジスタに転送された電荷は読み出されることなく、消去される。また、垂直方向のビニングを行う場合は、水平転送レジスタ上で電荷の加算を行う。

【0025】次に、水平転送動作について説明する。図2に示されるように、各画素51および水平転送レジスタ52の各列をa～dとする。読み出しは、dcbaの順に行われる。図5に示されるように、水平転送電極H

1、H2にそれぞれ位相の反転したクロック信号を加えると、図4に示された垂直転送動作と同様の原理で、各列の水平転送レジスタ52に蓄積された電荷は、それぞれ隣の列の水平転送レジスタ52に順次転送される。そして、転送元の電荷は空になる。d列の水平転送レジスタに転送された電荷は、図2に示すコンデンサ54に転送される。このコンデンサ54の蓄積容量に応じた電圧信号が出力FET56から出力される。水平転送レジスタ52の列ごとに蓄積電荷を読み出す場合は、このコンデンサ54への転送前にリセットゲート53を閉じて、コンデンサ54の蓄積電荷を放出することにより、リセット動作を行う。一方、ビニング機能を用いる場合は、このリセット動作を省略することで、コンデンサ54で蓄積電荷を加算することができる。

【0026】ここで、コンデンサ54のリセット後の容量は必ずしも一定にはならないので、その変動分がノイズとなり、そのままでは、信号特性が劣化する。CDS回路6がこのノイズを除去する。具体的には、前述のコンデンサ54のリセット動作時に、スイッチ S_f を一時的に閉じてコンデンサ C_f にこの時の出力 V_{out} の電圧値を保持した後、スイッチ S_f を開放する。次に、コンデンサ54の電荷読み出し時に、スイッチ S_s を一時的に閉じてコンデンサ C_s にこの時の出力 V_{out} の電圧値を保持した後、スイッチ S_s を開放する。それぞれのコンデンサに蓄積された電圧を減算アンプ A_{fs} により減算することで、コンデンサ54がリセットされた後に転送された蓄積電荷、すなわち、水平転送レジスタ52から転送された正味の蓄積電荷量のみを読み取ることができる。スイッチ S_f 、 S_s の開鎖、開放は、それぞれF、Sサンプル信号により制御される。

【0027】さらに、図2、図6を参照してビニング動作時の具体的な動作について説明する。図6は、CCD5のタイミングチャートの一例である。ここでは、水平方向に4画素ずつビニング動作を行う場合を例に説明する。ここでは、画素番号1～4、5～8、9～12をそれぞれ見かけの一画素として画像情報、つまり蓄積電荷を読み出している。

【0028】水平転送電極H1、H2には互いに反転位相のクロック信号が印加されている。最初は、クロック選択信号は、Lレベルにあり、水平転送電極H1、H2には、周期 t_1 の低速クロック信号が印加されている。1番の画素の読み出し開始時点であるこの低速クロック信号の位相反転と同時に、リセット信号VRGを一時的にオンにして、リセットゲート53を閉じ、読み出し回路55のコンデンサ54の電荷を放出して、その容量をリセットする。これにより、CCD5の出力信号は、所定の範囲の V_{out} に設定される。次に、Fサンプル信号を送出して、前述のCDS回路6のコンデンサ C_f にこの時の出力値を保持する。

【0029】その後、読み出し開始から $t_1/2$ 時間、

つまり高速クロックの半周期経過後、クロック選択信号をHレベルにする。これにより、水平転送電極H1、H2には周期 t_2 （ここで、 $t_2 \ll t_1$ ）の高速クロック信号が印加される。この水平転送電極H1、H2の位相反転により、1番の画素の蓄積電荷がCDS回路57のコンデンサ C_f に転送される。この結果、CCD5の出力信号 V_{out} はこの蓄積電荷に相当する電圧値となる。前述したように、水平転送電極H1、H2の位相が2度反転して元の位相に戻る度に画素電荷の水平転送が行われて、2番、3番の画素の蓄積電荷がCDS回路6のコンデンサ C_f に転送されて、1番の画素の蓄積電荷に加算される。

【0030】次に、4番の画素の蓄積電荷が水平転送レジスタ52の出口側の水平転送電極H2下に転送された時点、すなわち、高速クロックが3周期終了した時点で、クロック選択信号を再びLレベルに戻す。これにより、水平転送電極H1、H2には、周期 t_1 の低速クロック信号が印加される。この切り替え時に4番の画素の蓄積電荷は、CDS回路6のコンデンサ C_f に転送されて、1～3番の画素の蓄積電荷に加算される。この結果、CCD5の出力信号 V_{out} は、リセット時の電圧値と1～4番の画素の蓄積電荷の和に相当する電圧値となる。次に、Sサンプル信号が送出されて、前述のCDS回路6のコンデンサ C_s にこの時の出力値を保持する。前述したように、これらふたつのコンデンサ C_f 、 C_s の蓄積電荷量の差を減算アンプ A_{fs} で求めると、これは、1～4番の画素の蓄積電荷の和に相当する電圧値が得られる。これを繰り返すことで、ビニング読み出しが可能となる。

【0031】ここで、前述したように、 $t_2 \ll t_1$ が成立するので、ビニングによる見かけの画素の読み出しに必要な周期 $t_1 + 3t_2$ は、非ビニング時の1画素の読み出しに必要な周期 t_1 とほぼ等しい。したがって、ビニング時の読み出し速度を高速化することが可能である。また、CDS回路6のノイズ除去性能を周期 t_2 で最適化しておけば、常に最適なノイズ除去性能が得られる。

【0032】続いて、図1を参照して全体の動作を説明する。発振器11から送られた基準信号を基に、高速分周器12、低速分周器13は、それぞれ前述の周期 t_1 の高速クロック信号と周期 t_2 の低速クロック信号を生成する。セレクター14は、前述のクロック選択信号がHレベルなら高速クロック信号を、Lレベルなら低速クロック信号を画素クロック信号としてそれぞれ出力する。

【0033】垂直アドレスカウンタ21と水平アドレスカウンタ22は、この画素クロック信号の周期数を監視して、読み出しを行う画素位置を計数し、その垂直アドレス（画素ラインの位置、図2のA～Dに対応）と水平アドレス（ライン内の列番号、図2のa～dに対応）をモードテーブルメモリ23に出力する。一方、制

御CPU24は、入出力インターフェース25を介して外部から送られてきた撮影パターンをもとにして、最適読み出しを行う読み出しパターン、すなわち、画素ごとに蓄積電荷の転送、加算、消去のタイミングを設定するモードテーブルを作成して、モードテーブルメモリに予め格納しておく。前述の垂直アドレス、水平アドレスを基にして対応する画素のモードテーブルデータがモードテーブルメモリ23からラッチ26に出力される。そして、ラッチ26は、モードテーブルをもとに、いずれのクロック信号を送出するべきかを表す前述のクロック選択信号をセレクター14に送出し、あわせて電荷を加算するかスキップするかなどを表すモード選択信号をタイミング発生回路3に出力する。

【0034】タイミング発生回路3は、画素クロック信号と、モード選択信号に応じて、CCD5の動作を制御する各種のタイミング信号、例えば、リセット信号、水平・垂直転送電極への印加信号、F、Sサンプル信号を生成してCCD5とCDS回路6に出力する。CCD5はこのタイミング信号を基にして被写体4の画像データを読み出してCDS回路6に出力し、CDS回路6でノイズが除去された画像データは、A/Dコンバーター7を介してデジタル信号として出力される。

【0035】次に、具体的な読み出し動作について図7を参照して説明する。図7は、ビニング・サブアレイ動作のフローチャートである。

【0036】予め制御CPU24によりモードテーブルが作成され、モードテーブルメモリ23に格納されており、このモードテーブルに応じてタイミング発生回路3からCCD5の転送動作を制御するタイミング信号が送られてきている。

【0037】図7に示されるように、1フレーム分の読み出しが開始されると(S1)、まず、このマップデータが最初の1ライン分(図2の場合はラインD)ラッチ26に転送される(S2)。そして、この1ラインが垂直サブアレイの対象、つまり1ライン全ての画像情報が不要かどうかを判断する(S3)。垂直サブアレイ対象の場合は、垂直転送を行い、水平転送レジスタに電荷を転送後消去するか、あるいは転送せずに直接消去し、そのラインの垂直サブアレイ処理を終了する(S4)。垂直サブアレイ対象でない、つまり読み出し対象の画面を含む場合は、次に、垂直ビニング対象、つまり、当該ラインの各画素の電荷を次のラインの各画素の電荷と重ね合わせるかどうかを判断する(S5)。垂直ビニング対象である場合は、垂直転送を行い、水平転送レジスタに電荷を転送し、その電荷を保持したまま次のラインの処理に移る(S6)。前回のラインが垂直ビニング対象であった場合には、前回のラインの電荷が水平転送レジスタに保持されているため、電荷を垂直方向について加算することができる。つまり、この転送により、水平転送レジスタ上で垂直ビニングを行うことができる。

【0038】垂直ビニング対象でない場合もラインの電荷は、水平転送レジスタに転送される(S7)。次に、そのラインの読み出し側、つまり図2では、d側の画素からその画素が有効画面エリア内にあるかが判定される。有効画面エリア外の画素である場合は、水平転送レジスタの電荷を1画素分シフトして、対象画素の電荷は読み出されることなく消去され、次の画素の処理に移る(S9)。有効画面エリアの画素である場合は、水平ビニングの対象画素であるか、つまり次の画素と電荷を加算するか否かを判断する(S10)。水平ビニング対象である場合は、この電荷は、読み出し回路55内のコンデンサー54(図2参照)に転送され(S11)、次にS10に戻って次の画素の判定を行う。水平ビニング対象でない、つまり次の画素と電荷の加算を行わない場合は、その画素電荷を読み出し回路55内のコンデンサー54に転送して読み出し、その後リセットゲート53を閉じて、コンデンサー54の電荷を放出して、リセットする(S12)。

【0039】続いて、水平有効エリアの読み出しが終了したか否か、つまり次の画素が水平有効エリア内かどうかを判断する(S13)。水平有効エリアであれば、S10に戻って、水平ビニングあるいは読み出し動作を実行する。水平有効エリア外の場合は、水平転送によりその画素の電荷を消去する(S14)。そして、そのラインが終了するまでこの電荷消去を繰り返す(S14、15)。S4、S6、S14により1ライン分の処理が終了すると、そのラインが1フレームの最後のラインであったかを判定し(S16)、最後のラインであれば、1フレームの呼び出し処理を終了する(S17)。最後のラインでない場合は、S2に戻って、次のラインの処理を行う。これを繰り返すことで、有効画面の画像データのみを読み出すことができる。

【0040】以上のような処理を行うことで、サブアレイ機能時には、画素情報が不要な領域の画素の垂直、水平方向の電荷転送を間引くことができ、画像の読み出しを高速化することが可能である。また、ビニング機能時には、電荷の加算を高速で行うことができるので、見かけの画素当たりの読み出し時間を略一定に保つことができる。

【0041】

【発明の効果】以上、説明したように、本発明によれば、CCDカメラに画素単位に読み出しパターンを制御するタイミング発生回路を備えているので、ビニング・サブアレイ時の読み出し速度を高速化し、最適な読み出し速度で画像を取り込むことができる。

【0042】さらに、ノイズ除去回路としてCDS回路を併用することで、常にノイズ除去性能の最適な画素読み出し速度で画像を取り込めるので、さらに高S/N比を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明のCCDカメラのブロック図である。

【図2】図1のCCDカメラのCCD部分の概略図である。

【図3】図1のCCDカメラのCDS回路の回路図である。

【図4】図2のCCDの垂直転送動作の説明図である。

【図5】図2のCCDの水平転送動作の説明図である。

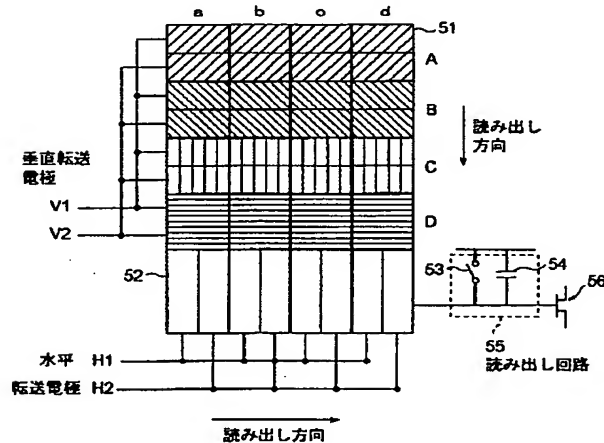
【図6】図1のCCDカメラの水平ピンング動作のタイミング・チャートである。

【図7】図1のCCDカメラのピンング・サブアレイ動作のフローチャートである。

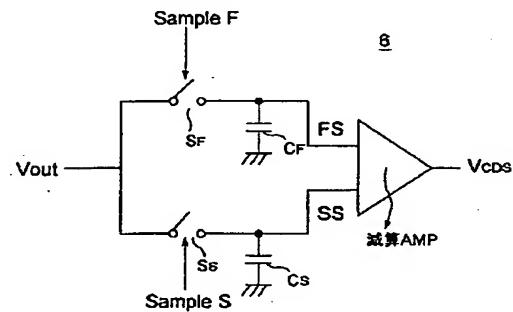
*【符号の説明】

1…クロック回路、2…制御回路、3…タイミング発生回路、4…被写体、5…CCD、6…CDS回路、7…A/Dコンバーター、11…発振器、12…高速分周器、13…低速分周器、14…セレクター、21…垂直アドレスカウンタ、22…水平アドレスカウンタ、23…モードテーブルメモリ、24…制御CPU、25…入出力インターフェース、26…ラッチ、51…画素、52…水平転送レジスタ、53…リセットゲート、54…コンデンサ、55…読み出し回路、56…出力FET。

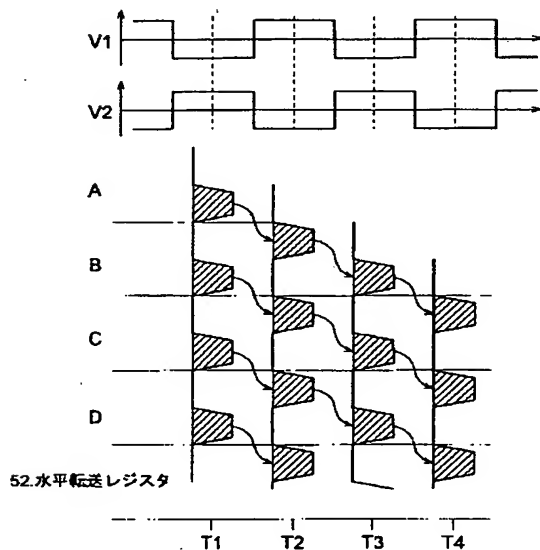
【図2】



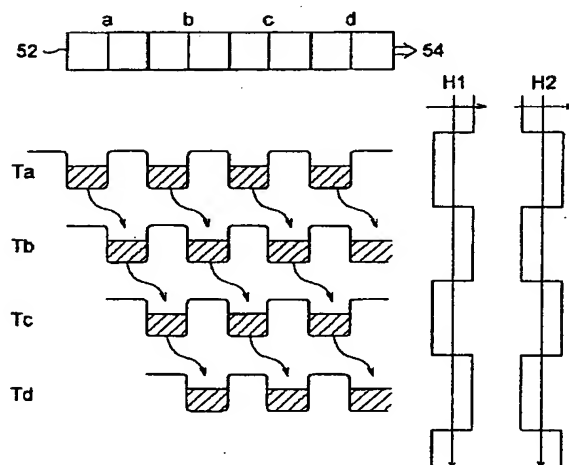
【図3】



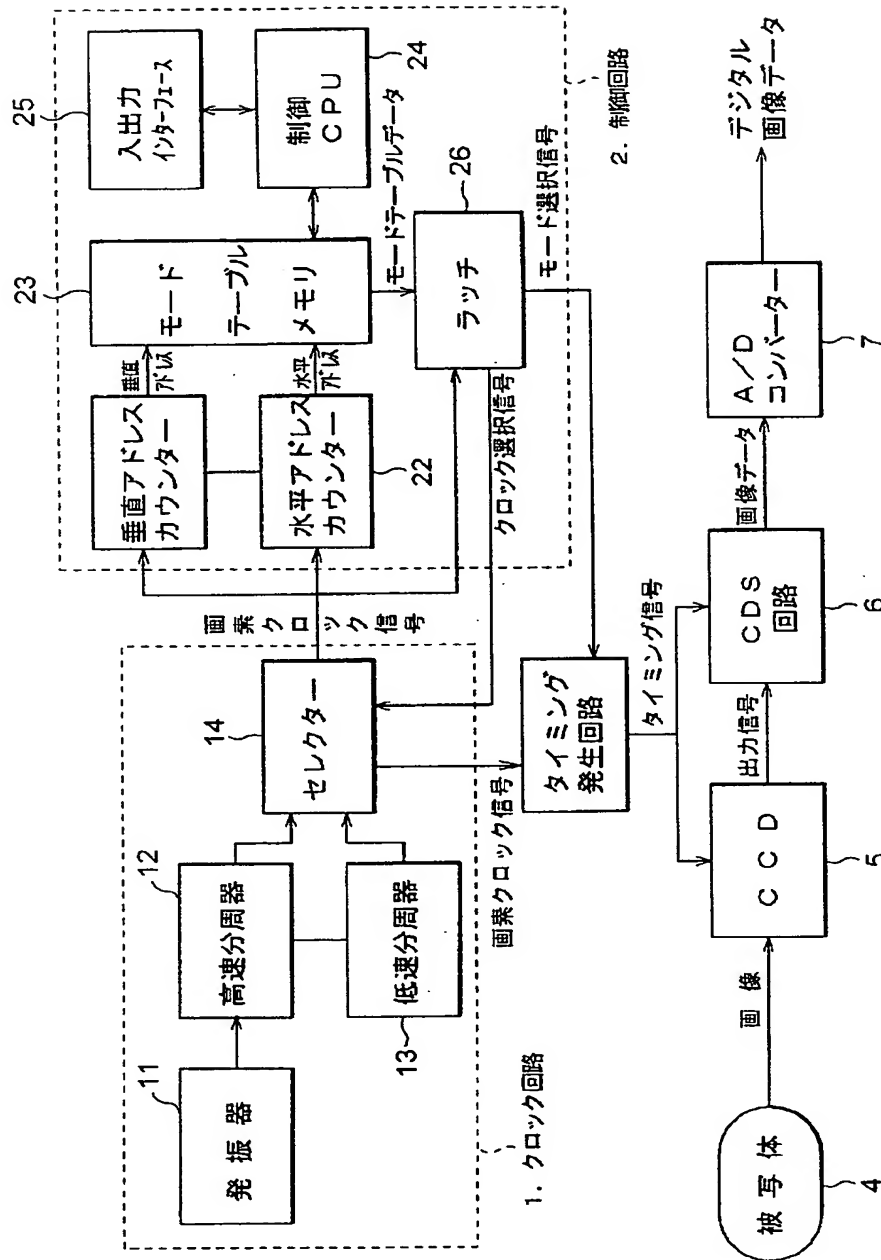
【図4】



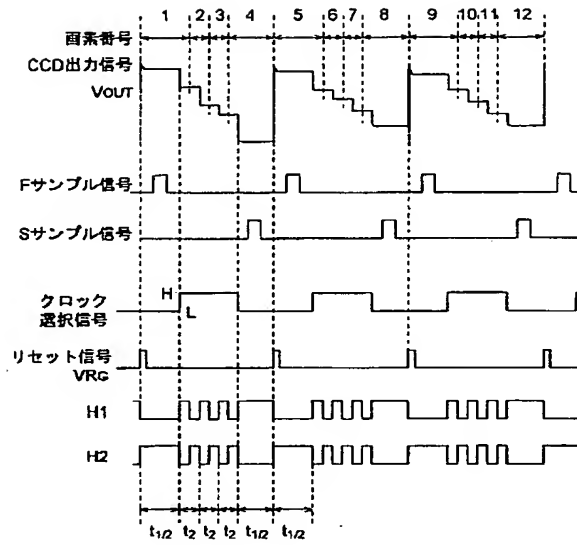
【図5】



【図1】



【図6】



【図7】

